

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-173391

(43)Date of publication of application : 10.07.1989

(51)Int.Cl.

G11C 11/34

(21)Application number : 62-330086

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.1987

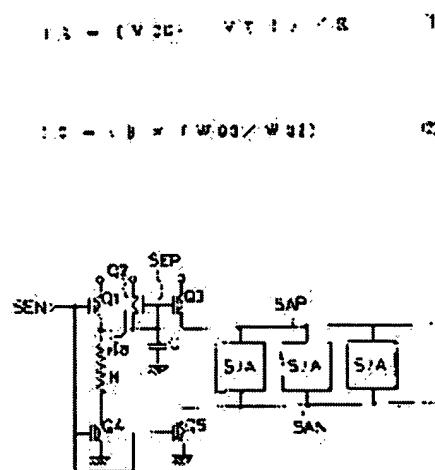
(72)Inventor : FUJII HIDETAKE

## (54) MOS TYPE CHARGING AND DISCHARGING CIRCUIT

### (57)Abstract:

**PURPOSE:** To obtain a charging and discharging circuit for large capacity load of satisfactory controllability by setting the thresholds of first and second pchFETs to be almost equal and causing the channel width of the second FET to be an f-fold channel width of the first FET.

**CONSTITUTION:** At first, a sense enable terminal SEN is low and an nchFET Q4 is turned off. Then, a pchFET Q1 is turned on and charged to capacity C. A connecting point SEP of the gate of Q2 and Q3 and the C is high and the Q3 is turned off. When the terminal SEN goes to be high, the Q4 is turned on and the Q2 is turned on by the discharging of the C. After the connecting point SEP is determined by the value of a CR, it goes to be a constant potential. When the impedances of the FET Q2 and Q4 is enough smaller than an R, and the threshold of the Q2 is VTP and the potential of the connecting point SEP is VCC, a bias current IB flowing in the Q4 is used and a charging current IC flowing in the Q3 can be calculated by using channel widths WQ3 and WQ2. Thus, when the dimension ratio of the R, WQ2 and WQ3 is determined, the peak value of the charging current can be accurately set and the rising characteristic of the current can be also controlled accurately by the selection of the C value.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 平1-173391

⑫ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月10日

G 11 C 11/34

3 5 3

E-8522-5B

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 MOS型充放電回路

⑮ 特 願 昭62-330086

⑯ 出 願 昭62(1987)12月28日

⑰ 発 明 者 藤 井 秀 杜 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴 江 武 彦 外2名

## 明 細 書

## 1. 発明の名称

MOS型充放電回路

## 2. 特許請求の範囲

(1)、第1及び第2のMOSトランジスタの一方の端子を第1の電源端子に接続し、上記第2のMOSトランジスタの他方の端子を負荷回路に接続し、上記第1のMOSトランジスタの他方の端子及びゲート端子と上記第2のMOSトランジスタのゲート端子とを共通にインピーダンス素子を介して上記一方の電源端子とは異なる他方の電源端子に接続し、容量素子を上記第2のMOSトランジスタのゲート電極に接続し、上記第1及び第2のMOSトランジスタの閾値電圧を大略等しく設定し、上記第2のMOSトランジスタのチャネル幅を上記第1のMOSトランジスタのチャネル幅より大きく設定し、上記インピーダンス素子の抵抗値を上記第1のMOSトランジスタの等価インピーダンスより大きく設定したことを特

徴とするMOS型充放電回路。

(2)、スイッチング素子を上記一方の電源端子と上記インピーダンス素子及び上記第1MOSトランジスタの他方の端子の接続点との間に接続したことを特徴とする特許請求の範囲第1項記載のMOS型充放電回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、大容量負荷を充放電するMOS型充放電回路に関し、特に、充放電電流の立上りやピークを制御することが可能なMOS型充放電回路に関する。

(従来技術)

従来、同型MOSメモリに於いては、チップ内の大容量負荷を充電、放電する動作、例えばダイナミック・ランダム・アクセス・メモリのセンス、リストア等の動作がしばしば蓄積される。このような場合、充放電動作に伴う電源電流の急激な立上りや電源電流の低いピークは、チップ内部の電源ノイズの原因となり、メモリの不良原因や動

## 特開平1-173391(2)

作マージンの劣化を招来する。このような事態発生を防止すべく従来より電源電流の立ち上がりや電源電流の高いピークを抑制する工夫がなされている。例えば、K. Shiohigashi et al., "A 65nm CMOS DRAM with a Twisted Driveline Sense Amplifier", ISSCC 87 Digest p.18~p.19に於いて見られるような方法がある。これは、第3図に示す如くセンスアンプ駆動回路に於いて充電を行うMOSトランジスタをMOSトランジスタQ1, Q2, Q3に分割して、夫々のトランジスタQ1, Q2, Q3を位相差を有するPチャンネルのセンスイネイブル信号SE P1, SE P2, SE P3で駆動する。駆動タイミングは、第4図に示す如くに行われ、電源電流のピークが3つの小さなピークに分割され、望み合わされる。

## (従来技術の問題点)

然し、上記のような方法は以下の如き問題点を有する。第1に遅延回路DC1, DC2, DC3等多くの素子を必要とし、チップ面積が増加する。

第2に素子数が多くなるので、素子パラメータが多くなり、最適設計が容易でなくなる。例えば、遅延回路DC1, DC2, DC3の遅延時間と3つのMOSトランジスタQ1, Q2, Q3のサイズを巧みに設計しなければならない。第3にデバイスパラメータの変動による影響が大きく、例えばMOSトランジスタのコンダクタンスが大きくなるようにデバイスパラメータが変動した場合、MOSトランジスタQ1, Q2, Q3に対応するピークは夫々大きくなり、且つ、Pチャンネルのセンスイネイブル信号SE P1, SE P2, SE P3の位相差も小さくなることから全体としての電源電流の波形状はより高いピークを示すこととなる。

## (発明の目的)

この発明は、上記の問題点を解決すべく為されたもので、素子数を少く設計性、制御性に優れ、大容量負荷を駆動することが可能なMOS型充電回路を提供することを目的とするものである。

## (問題点を解決するための手段)

## (発明の構成)

この発明は、第1及び第2のPチャンネルMOSトランジスタのソース端子を電源端子に接続し、第2のPチャンネルMOSトランジスタのドレイン端子をセンスアンプより成る負荷回路に接続し、第1のPチャンネルMOSトランジスタのドレイン端子及びゲート端子と第2のPチャンネルMOSトランジスタのゲート端子とを共通に抵抗を介して接地端子に接続し、~~第2のPチャンネルMOSトランジスタのゲート端子電位を決定する容量素子を第2のPチャンネルMOSトランジスタのゲート端子に接続して成り、第1, 第2PチャンネルMOSトランジスタの閾値電圧を大略等しく設定し、第2のPチャンネルMOSトランジスタのチャンネル幅を第1のPチャンネルMOSトランジスタのチャンネル幅の1倍としたものである。~~

## (発明の作用)

上記の様にこの発明は、第1, 第2のPチャン

ネルMOSトランジスタの閾値電圧を大略等しく設定し、第2のPチャンネルMOSトランジスタのチャンネル幅を第1のPチャンネルMOSトランジスタのチャンネル幅の1倍としているので、第2のPチャンネルMOSを流れる充電電流は第1のPチャンネルMOSトランジスタと抵抗を流れる電流の1倍となる。

## (実施例)

この発明による実施例を図面に基ずき説明する。第1図(a)は、この発明によるMOS型充電回路の一実施例を示すものである。PチャンネルMOSトランジスタQ1, Q2, Q3のソース端子が夫々電源端子に接続され、トランジスタQ1のゲート端子は、センスイネイブル端子SENに接続されている。トランジスタQ3のドレイン端子は後段のセンスアンプS/Aより成る負荷回路LCに接続され、トランジスタQ1のドレイン端子とゲート端子とトランジスタQ3のゲート端子とは容量素子であるコンデンサCに接続されている。トランジスタQ1とトランジスタ

## 特開平1-173391(3)

Q2のドレイン端子は、抵抗Rに接続され、更に、抵抗Rは、NチャンネルトランジスタQ4を介して接地されている。トランジスタQ4のゲート端子はセンスイネイブル端子SENに接続されている。また、センスイネイブル端子SENは、NチャンネルMOSトランジスタQ5のゲート端子にも接続されている。負荷回路LDは、Pチャンネル・コモン・ソース端子CSPを介してトランジスタQ3のドレイン端子に接続され、また、Nチャンネル・コモン・ソース端子CSNを介してトランジスタQ5のドレイン端子に接続されている。尚、負荷回路LCを構成するセンスアンプS/Aは、第1図(b)に示す如くになっている。

上記構成のこの発明によるMOS型充放電回路の動作について説明する。第2図、に示すタイミングチャート参照して説明する。先ず、初期段階においては、センスイネイブル端子SENは低レベルであり、NチャンネルMOSトランジスタQ4は、オフ、PチャンネルMOSトランジスタQ1はオンしている。この時、コンデンサCには

電荷がチャージされておりトランジスタQ1、Q3のゲート端子とコンデンサCの接続点SEPに於ける電位は、高レベルにあり、トランジスタQ2はオフしている。センスイネイブル端子SENが高レベルになるとトランジスタQ4がオンし、抵抗Rを通してコンデンサCの充電電荷が放電される。コンデンサCの充電電荷の放電で接続点SEPの電位が下降する。接続点SEPの電位の下降によりトランジスタQ3がオンし、トランジスタ

Q2を流れる電流と抵抗Rを流れる電流とのバランスがとれた時点で接続点SEPの電位は一定となる。接続点SEPに於ける電位が一定となる時間はコンデンサCの容量と抵抗の抵抗値との積で決定される。

このとき、トランジスタQ2、Q4のインピーダンスが抵抗Rのインピーダンスより充分に小さいものと仮定すれば、接続点SEPに於ける電位は電源電圧VCC、トランジスタQ2の閾値電圧をVTPとすると、 $V_{CC} - V_{TP}$ となる。

従って、トランジスタQ2、抵抗R、トランジスタQ4を流れるバイアス電流IBは、

$$I_B = (V_{CC} - V_{TP}) / R \quad (1)$$

となる。

一方、トランジスタQ3を流れる充電電流ICは、

$$I_C = I_B \times (W_{Q3} / W_{Q2}) \quad (2)$$

となる。

ここに、WQ3は、トランジスタQ3のチャンネル幅、WQ2は、トランジスタQ2のチャンネル幅である。

(2)式が成立するのはトランジスタQ2、Q3のソース電位(VCC)、ゲート電位(SEP)が共通なためである。

(1)式、(2)式から明らかなように充電電流ICは、トランジスタQ2、Q3のチャンネル幅の寸法比、抵抗Rの抵抗値、電源電圧VCC、トランジスタQ2の閾値電圧VTPのみで決定される。また、電源電流の立上り波形は抵抗RとコンデンサCの時定数のみで決定される。尚、実施例の説

明は、トランジスタQ2、Q3がPチャンネルMOSトランジスタの場合について説明したが、この発明は上記のものに限定されず、トランジスタQ2、Q3をNチャンネルMOSトランジスタについて適用すること、は勿論のことである。

## 〈発明の効果〉

この発明によるMOS型充放電回路は、回路素子の数が従来のものに比較して少なく、チップに於けるパターン面積が減少化することが出来、また、(1)、(2)式から明らかなように抵抗Rの抵抗値とトランジスタQ2、Q3のチャンネル幅の寸法比を決定することにより、電流ピーク値を精度良く設定することが出来る。また、電流の立上り特性もコンデンサCの容量を適当な値に設定することにより、精度良く制御することが出来る。

更に、この発明によるMOS型充放電回路に於いては、(2)式は、トランジスタQ2、Q3のチャンネル幅の寸法比、即ち幾何学的なパターン寸法で決定されており、(1)式は、抵抗Rの抵

特開平1-173391(4)

試値とトランジスタQ2、Q3の閾値電圧に依存するのみであり、デバイスパラメータによる変動が少ない。従って、デバイスパラメータの変動による影響をほとんど受けない。

#### 4. 図面の簡単な説明

第1図(a)は、この発明によるMOS型充放電回路の回路構成図、

第1図(b)は、第1図(a)に於けるセンスアンプの具体的な回路構成図、

第2図は、第1図(a)に示したこの発明によるMOS型充放電回路のタイミングチャート、

第3図は、従来のMOS型充放電回路の回路構成図、

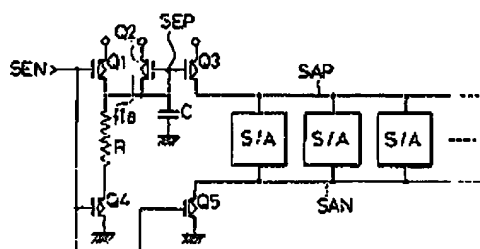
第4図は、第3図に示した従来のMOS型充放電回路のタイミングチャート

である。

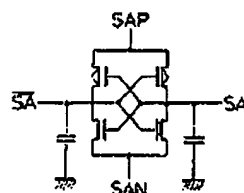
Q1、Q2、Q3……PチャンネルMOSトランジスタ、Q4、Q5……NチャンネルMOSトランジスタ、R……抵抗、LC……負荷回路、S/A……センスアンプ、C……コンデンサ、

SEN……センスイネイブル端子。

出願人代理人 井野士 鈴江英彦

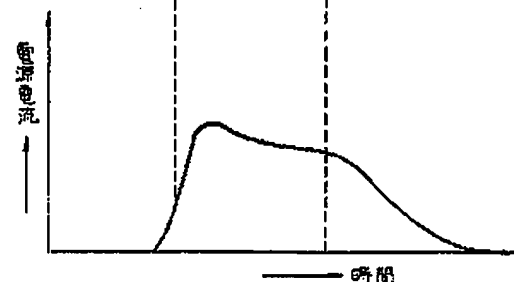
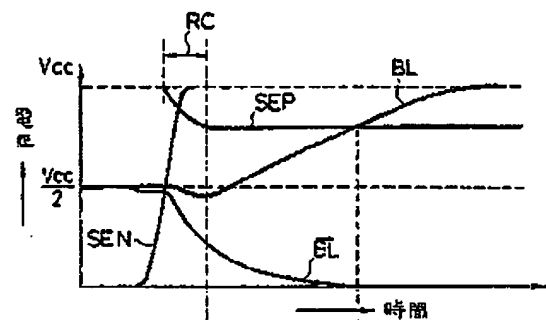


(a)



(b)

第1図



第2図

特開平 1-173391 (5)

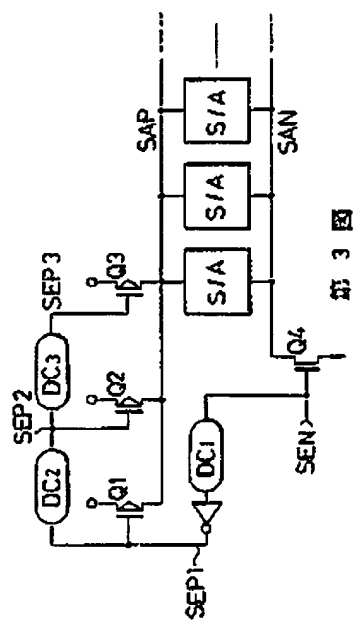
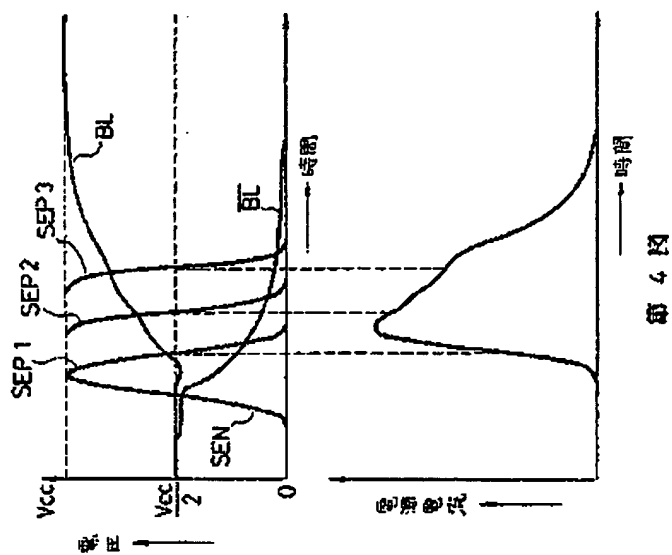


圖 3-4



## 第 4 章